

PTO 02-1715

Japanese Kokai Patent Application  
No. Sho 63[1988]-187628

METHOD FOR FORMING A POSITION ALIGNMENT MARK USED FOR  
ELECTRON BEAM EXPOSURE

Hisao Kawasaki

TRANSLATED BY THE RALPH MCFERRELL TRANSLATION COMPANY

JAPANESE PATENT OFFICE  
PATENT JOURNAL (A)  
KOKAI PATENT APPLICATION NO. SHO 63[1988]-187628

|                              |                      |
|------------------------------|----------------------|
| Int. Cl. <sup>4</sup> :      | H 01 L 21/30         |
| Sequence No. for Office Use: | K-7525-5F            |
| Filing No.:                  | Sho 62[1987]-18260   |
| Filing Date:                 | January 30, 1987     |
| Publication Date:            | August 3, 1988       |
| No. of Inventions:           | 1 (Total of 5 pages) |
| Examination Request:         | Not filed            |

A METHOD FOR FORMING POSITION ALIGNMENT MARK USED FOR ELECTRON  
BEAM EXPOSURE

[Denshi biimu roko yo ichi awase maaku no keisei hoho]

|            |                |
|------------|----------------|
| Inventor:  | Hisao Kawasaki |
| Applicant: | Toshiba K.K.   |

[There are no amendments to this patent.]

Claims

1. A method for forming a position alignment mark used for electron beam exposure, characterized in that it contains a process that successively layers a thin film and a first resist film on top of a semiconductor substrate on which an activation layer has been formed on one of the faces, a process that forms a first aperture at a position corresponding to a section in which the above-mentioned activation layer for this first resist film has been formed and a second aperture

above-mentioned first resist film as a mask, a process that coats an entire surface of the substrate with an ohmic electrode and a metallic film used for a position alignment mark on top of the



exposure, it is most important that the edge sections of the mark be cut sharply and that the surface of the concave mark or the convex mark be smooth.

However, in electron beam exposure, because a long time is required in exposure, the throughput is poor compared to ordinary optical exposure at the time of manufacturing a semiconductor device, and there are frequently cases in which it is only used in processes in which the most precise processing is required. For example, in a Schottky barrier type field effect transistor using a GaAsFET (MESFET), generally, electron beam exposure is used in the pattern forming for the gate electrode, and for the other processes, pattern forming is conducted by light exposure.

The characteristics of MESFET are significantly influenced by the dimensions of the gate electrode and the separation of the source electrode and drain electrode, which are ohmic electrodes. Therefore, the position alignment of the gate electrode of the MESFET must be conducted with good precision in contrast to the ohmic electrode. Because of this, it is desired that the position alignment mark used for the electron beam exposure that is used in a MESFET be formed at the same time as the forming of the ohmic electrodes.

However, with the ohmic electrode of the MESFET, generally, an alloy comprising Ni and AuGe is used, and in order to obtain an ohmic connection with the semiconductor substrate, the alloying process is conducted at a high temperature of 450°C or more. Because of this, in the event the position alignment mark used for the electron beam exposure is formed from Ni and AuGe, there is a deterioration of the edge section of the position alignment mark and a severe loss of the smoothness of the surface because of the alloying process for the ohmic electrode.

Therefore, even if the position alignment mark used for the electron beam exposure is formed at the same time as the ohmic electrode, the position detection precision and the S/N ratio of the detection signal that can be obtained by means of the electron beam radiation is insufficient for the required value. In addition, the surface condition of the position alignment becomes completely changed just by the slight differences in the composition of the Ni and the AuGe, and by conditions such as temperature and time at the time of alloying changing slightly, and in severe cases, the noise component of the detection signal becomes too large, and there are cases in which mark detection becomes impossible.

Also, when the ohmic electrode and the position alignment mark used for the electron beam are patterned separately, and the position alignment mark used for the electron beam does

not have the same composition as the ohmic electrode, there is a deterioration of the position alignment.

It is possible to form the position alignment mark and the ohmic electrode with the same composition, but the characteristics of the position alignment are brought about.

### Problems to be solved by the invention

As was explained above, in the method for forming a position alignment mark used for electron beam exposure that was used in the past, the position alignment mark was deformed due to the thermal heat treating process at the time of the formation of the ohmic electrode, and the position alignment of the gate electrodes could not be accurately done. Thus, with this invention, this type of defect is eliminated, and the objective is to form a position alignment mark in which accurate position alignment of the gate electrodes can be conducted.

### Constitution of the invention

#### Means to solve the problems

In order to achieve the above-mentioned objective, with the method for forming a position alignment mark used for electron beam exposure of this invention, a thin film is formed having a first aperture used for the ohmic electrodes and a second aperture used for the position alignment mark formation on top of a semiconductor substrate, the metallic film used for the ohmic connection passes through the first aperture and is coated on the semiconductor substrate, and the position alignment mark is formed by means of etching away a section of the semiconductor substrate through the second aperture.

### Operation

In the method for forming a position alignment mark used for electron beam exposure of this invention, a step is formed in the semiconductor substrate by means of etching away a section of the semiconductor substrate; this step is made a position alignment mark, and since thermal deformation of the semiconductor substrate is difficult to bring about with the thermal processing that accompanies the alloying process during the ohmic electrode formation, the position alignment mark is not deformed. Also, since the forming position for the position alignment mark is conducted at the same time as setting the forming position for the ohmic electrodes, in the event the gate electrodes are formed by using the position alignment mark as a target, positional mismatch of the ohmic electrode and the gate electrode is eliminated.

### Application examples

Below, an explanation is given for one application example of this invention with reference to the drawings. FIG. 1 is a cross-sectional view of one example of a manufacturing method for forming a position alignment mark used for electron beam exposure of this invention. As shown in FIG. 1, first, an activation layer (2) is formed on top of the semiconductor substrate (1), for example, a semi-insulating

GaAs substrate, on top of this semiconductor substrate (1), a thin film, for example, a 3000 Å  $\text{SiO}_2$  film (3), and a resist film (4), are successively accumulated.

Next, as is shown in Figure 1(b), in order to remove the  $\text{SiO}_2$  film (3) by etching, a first aperture (5) and a second aperture (6) are formed in the resist film (4). Here, the first aperture (5), in order to form the source electrode and the drain electrode, which are ohmic electrodes, is formed in two places at positions corresponding to the section at which the activation layer (2) of the resist film (4) is formed. The second aperture (6) is formed in one location at a position corresponding to the section at which the activation layer of the resist film (4) is not formed in order to form the position alignment mark. After that, using the resist film (4) as a mask, the exposed  $\text{SiO}_2$  film (3) is removed by etching at the same time.

Next, as is shown in Figure 1(c), the metallic film that is formed by Ni-AuGe is deposited to 2000 Å on top of the activation layer (2) and the semiconductor substrate (1) through the first aperture (5) and the second aperture (6). Here, the metallic film that is deposited through the first aperture becomes the metallic film (7-1) used for the ohmic electrodes, and the metallic film that is deposited through the second aperture becomes the metallic film (7-2) used for the position alignment mark. Then, the unwanted sections of the metallic film are removed along with the resist film by using a lift-off method.

Next, as is shown in Figure 1(d), a resist film (8) is newly painted on the semiconductor substrate (1), and the third aperture is formed including the metallic film (7-2) used for the position alignment mark. Then, after the metallic film (7-2) used for the position alignment mark within the third aperture (9) is removed and the semiconductor substrate (1) face is exposed, the exposed face of the semiconductor substrate (1) is etched by using the  $\text{SiO}_2$  film (3) as a mask, and the concave position alignment mark (10) is formed.

Next, as is shown in Figure 1(e), the  $\text{SiO}_2$  film (3) is peeled off and the ohmic electrode (11) is formed by means of an alloying process, and finally, position alignment of the gate electrodes is conducted using the position alignment mark (10) as a target by means of electron beam exposure, and by means of forming the gate electrode (12), the MESFET is completed.

As for the position alignment mark (10) used for electron beam exposure that was obtained in this manner, since it is not influenced in any way by the thermal process that accompanies the alloying process during the ohmic electrode formation because it is directly formed on the semiconductor substrate (1), excellent signal detection for the gate electrode can

be achieved. The position of the gate electrode can be formed at the design value.

Next, the position of the gate electrode for the gate electrode can be formed almost the same as the design value.

In the explanation of Figure 1, an example of a convex shape was explained as the cross-sectional shape of the position alignment mark used for electron beam exposure, but the formation of a concave position alignment mark is also possible. In other words, in the process of Figure 1(b) of Application Example 1, a second aperture (6') is provided in two locations in the section in which the activation layer (2) is not formed on top of the semiconductor substrate (1) for the resist film (4) at the same time as providing the first aperture (5). Next, the  $\text{SiO}_2$  film (3) is removed by etching by using this resist film (4) as a mask. Then, after a metallic film is covered on the entire face of the semiconductor substrate (1), if the resist film (4) and the unwanted metallic film are removed by using a lift-off method, as is shown in Figure 2(a), the metallic film (7-1) used for the ohmic electrode and the metallic film (7-2') used for the position alignment mark are respectively formed in two locations on top of the activation layer (2) and the semiconductor substrate (1) through the  $\text{SiO}_2$  film (3) that was removed by etching.

Next, as is shown in Figure 2(b), a resist film (8) is newly painted on the semiconductor substrate (1), and the third aperture (9') is formed including the metallic film (7-2') used for position alignment for two locations. Then, after exposing the semiconductor substrate (1) by etching away the metallic film (7-2') used for position alignment within the third aperture (9'), the concave sections are formed at two locations by means of etching the exposed face of the semiconductor substrate (1) by using the  $\text{SiO}_2$  film (3) as a mask. Here, the concave sections for two locations [illegible: probably an adverb] form the convex position alignment mark (10') by means of the non-etched semiconductor substrate (1) sandwiched by the concave sections. Finally, as is shown in Figure 2(c), using the convex position alignment marks (10') as a target, position alignment of the gate electrode is conducted, and the gate electrode (12) is formed.

As for the convex position alignment marks (10') that are formed in this manner, along with their not being influenced by the alloying process at the time of forming the ohmic electrodes in the same manner as the above-mentioned Application Example 1, the position alignment precision becomes high.

In the above-mentioned Application Examples 1 and 2, in regard to the depth of the etching of the semiconductor substrate (1), it is necessary to determine this according to the conditions for the electron beam radiation for the of alignment mark position detection, but even in the case of a comparatively shallow [depth] of about 0.3  $\mu\text{m}$ , a sufficient signal strength can be obtained. Also, for the film thickness of the  $\text{SiO}_2$  film (3), it is desirable that it be made the

than then

Also, as for the  $\text{SiO}_2$  film, it can be other insulating films, for example,  $\text{SiO}$  and  $\text{Si}_3\text{N}_4$ , metallic films of Al, Au, or the like, and combinations of these, and the semiconductor substrate

is also not limited to a semi-insulating GaAs substrate. Also, Ni-AuGe was used as an example as the metallic film used for the ohmic electrodes, but it can also be Au-AuGe, or Pt-AuGe, and it does not matter even if it is covered by a metal layer used for a bonding pad made of Au-Pt-Ti on the upper section of the metal layer used for the ohmic electrodes. Also, [this invention] is not limited to electron beam exposure, and of course, can also be used with other electrically charged beam exposure [methods], for example, ion beam exposure.

#### Effect of the invention

As was explained above, according to this invention, since the position alignment mark is formed directly on the semiconductor substrate, deformation of the position alignment mark does not occur due to the heat treating process that accompanies the alloying process during the ohmic electrode formation. Therefore, an excellent position alignment mark used for electron beam exposure can be formed in which the position detection precision is high, and a detection signal can be obtained in which the noise component is slight.

#### Brief description of the figures

Figures 1(a) to 1(e) are process cross-sectional views showing one application example of this invention, and Figures 2(a) to 2(c) are process cross-sectional views showing another application example of this invention.

- 1        Semiconductor substrate
- 2        Activation layer
- 3        SiO<sub>2</sub> film
- 4        First resist film
- 5        First aperture
- 6        Second aperture
- 7-1     Metallic film used for ohmic electrodes
- 7-2, 7-2'     Metallic film used for position alignment mark
- 8        Second resist film
- 9, 9'    Third aperture
- 10, 10'   Position alignment mark

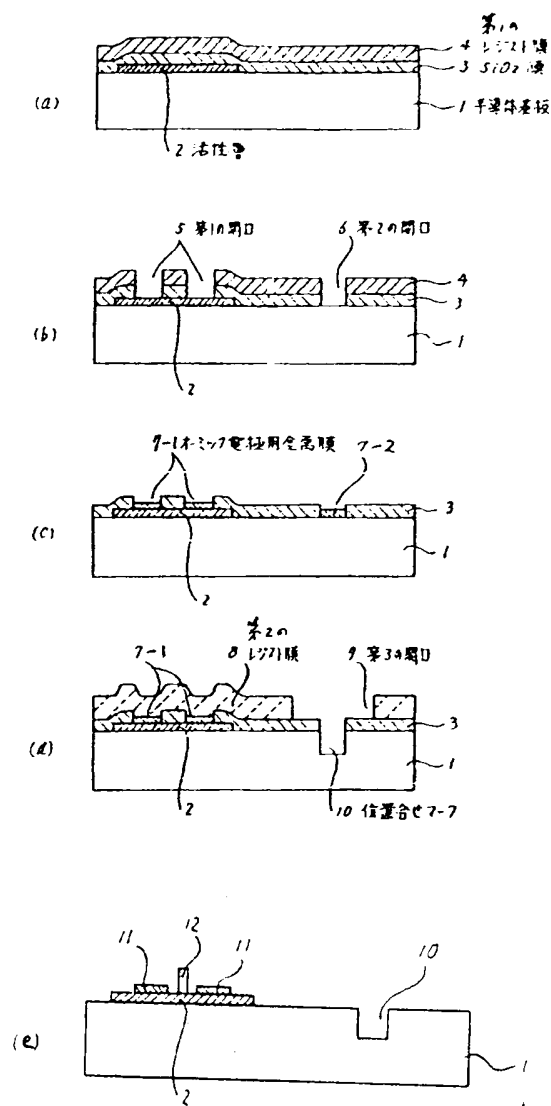


Figure 1

- Keys:
- 1 Semiconductor substrate
  - 2 Activation layer
  - 3 SiO<sub>2</sub> film
  - 4 First resist film
  - 5 First aperture
  - 6 Second aperture
  - 7-1 Third resist film
  - 7-2 Third aperture
  - 10 Position alignment mark

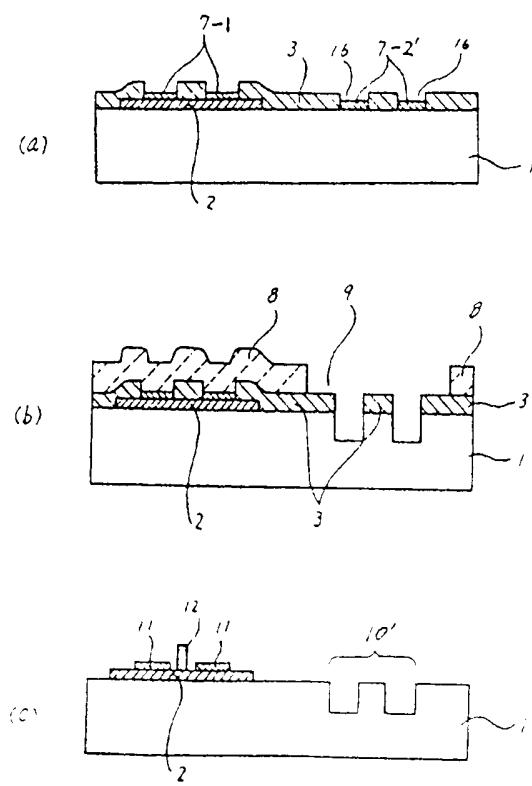


Figure 2

DERWENT-ACC-NO: 1988-259909  
DERWENT-WEEK: 198837  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Mfg. alignment mark for electron beam exposure on  
substrate - by  
forming film, having 1st aperture for ohmic contact and 2nd  
aperture for  
alignment mark, etc. NoAbstract Dwg 2/2

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1987JP-0018260 (January 30, 1987)

PATENT-FAMILY:

| PUB-NO        | PUB-DATE       | LANGUAGE |
|---------------|----------------|----------|
| PAGES         | MAIN-IPC       |          |
| JP 63187628 A | August 3, 1988 | N/A      |
| 004           | N/A            |          |

APPLICATION-DATA:

| PUB-NO           | APPL-DESCRIPTOR | APPL-NO        |
|------------------|-----------------|----------------|
| APPL-DATE        |                 |                |
| JP63187628A      | N/A             | 1987JP-0018260 |
| January 30, 1987 |                 |                |

INT-CL (IPC): H01L021/30

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS:

MANUFACTURE ALIGN MARK ELECTRON BEAM EXPOSE SUBSTRATE  
FORMING FILM APERTURE OHM  
CONTACT APERTURE ALIGN MARK NOABSTRACT

DERWENT-CLASS: L04 U11

EPI-CODES: L04-C06D;

EPI-CODES: U11-C04B1; U11-C04B3;

CLIPPEDIMAGE= JP363187628A  
PAT-NO: JP363187628A  
DOCUMENT-IDENTIFIER: JP 63187628 A  
TITLE: FORMING METHOD FOR ALIGNMENT MARK FOR ELECTRON BEAM  
EXPOSURE

PUBN-DATE: August 3, 1986

INVENTOR-INFORMATION:

NAME  
KAWASAKI, HISAO

ASSIGNEE INFORMATION:

|              |         |
|--------------|---------|
| NAME         | COUNTRY |
| TOSHIBA CORP | N/A     |

APPL-NO: JF62018260  
APPL-DATE: January 30, 1987

INT-CL (IPC): H01L021/30  
US-CL-CURRENT: 438/FOR.435,438/975

ABSTRACT:

PURPOSE: To form a preferable alignment mark for electron beam exposure by removing by etching part of a semiconductor substrate through a second opening on the substrate.

CONSTITUTION: An active layer 2, a thin film 3 and a resist film 4 are sequentially laminated on a semiconductor substrate 1. A first opening 5 and a second opening 6 are formed in the film 4. The opening 6 is formed at the position corresponding to the part not provided with the active layer 2 of the film 4. An ohmic electrode metal film 7-1 and an alignment mark metal film 7-2 are formed through the openings 5, 6. The substrate 1 is covered with a resist

substrate 1 is etched to form a recess alignment mark 10.  
The film 3 is  
separated to form an ohmic electrode 11. With the mark 10  
as a target a gate  
electrode 12 is formed by positioning it.

COPYRIGHT: (C)1988, JPD&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-187628

⑫ Int.Cl.<sup>4</sup>  
H 01 L 21/30

識別記号  
3 4 1

庁内整理番号  
K-7525-5F

⑬ 公開 昭和63年(1988)8月3日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 電子ビーム露光用位置合せマークの形成方法

⑮ 特 願 昭62-18260

⑯ 出 願 昭62(1987)1月30日

⑰ 発 明 者 川 崎 久 夫 神奈川県川崎市幸区小向東芝町1 株式会社東芝小向工場  
内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 則 近 憲 佑 外1名

PTO 2002-1715

S.T.L.C. Translations Branch

明 細 書

1. 発明の名称

電子ビーム露光用位置合せマークの形成方法

2. 特許請求の範囲

(1) 一方の面に活性層が形成された半導体基板上に薄膜及び第1のレジスト膜を順次堆積する工程と、この第1のレジスト膜の前記活性層が形成された部分に対応する位置に第1の開口及び前記活性層が形成されない部分に対応する位置に第2の開口を形成する工程と、前記第1のレジスト膜をマスクとして前記薄膜を除去する工程と、前記エッチング除去された薄膜を通して前記活性層及び前記半導体基板上にオーミック接合用金属膜及び

位置合せマークの形成方法。

(2) 前記第1のレジスト膜へ形成する第2の開口を1ヶ所形成することにより前記半導体基板に凹状の位置合せマークを形成することを特徴とする特許請求の範囲第(1)項記載の電子ビーム露光用位置合せマークの形成方法。

(3) 前記第1のレジスト膜へ形成する第2の開口を2ヶ所形成することにより前記半導体基板に凹部を2ヶ所形成し、この凹部とこの2ヶ所の凹部に挟まれた除去されない前記半導体基板により凸状の位置合せマークを形成することを特徴とする特許請求の範囲第(1)項記載の電子ビーム露光用位置合せマークの形成方法。

3. 発明の詳細な説明

本発明は、半導体基板上に形成される電子ビーム露光用位置合せマークの形成方法に関する。従来の技術として、半導体基板上に形成される位置合せマークの形成方法として、

本発明は半導体基板上に形成される電子ビーム露光用位置合せマークの形成方法に関する。従来の技術として、半導体基板上に形成される位置合せマークの形成方法として、

寸法は著しく微細化されており、特に砒化ガリウム(GaAs)等の化合物半導体を用いたマイクロ波半導体装置の最小ゲート電極寸法はすでに0.25  $\mu\text{m}$  に達している。このような微細パターンの加工方法としては、電子ビームを用いた電子ビーム露光技術が広く採用されている。

電子ビーム露光で半導体基板にパターンを形成するために必要な位置合せマークは、半導体基板上に所面形状が凹状あるいは凸状、平面形状が十字形あるいはし字形のパターンを使用することが多い。この位置合せマークの形成条件によつて検出位置精度及び検出信号のS/N比が大幅に左右される。電子ビーム露光用位置合せマークに対して要求される条件はマークのエッジ部がシャープに切り立っていることや凹状あるいは凸状のマークの表面が平坦であることが最も重要である。

しかし電子ビーム露光は、露光に長時間要するため通常の光露光に比べてスループットが悪く半導体装置を製造するに際し、最も加工精度が要求される工程にのみ使用されることが多い。例え

及び表面の平坦性を著しく損ねてしまう。

したがつてオーミック電極と同時に電子ビーム露光用位置合せマークを形成しても電子ビーム照射によつて得られる位置検出精度や検出信号のS/N比は要求される値に対して不十分である。加えて合金化後の位置合せマークの表面状態はNiとAuGeのわずかな組成の違い及び合金化の際の温度、時間等の条件が多少変化するだけでまったく変わった状態となり、ひどい場合には検出信号の雑音成分が多すぎてマーク検出不能となる場合もある。

またオーミック電極と電子ビーム用位置合せマークとを別々にパターンニングし、電子ビーム用位置合せマークを形成する場合には、位置合せマークの形成時にオーミック電極の位置が設計値からずれてしまいMELSDFTの特性変動を引き起こしてしまう。

この問題を解決する手段として

位置合せマークを形成する際に、オーミック電極

はGaAsFETを用いたショットキ障壁型電界効果トランジスタ(MESFET)では、ゲート電極のパターン形成に電子ビーム露光を用い、他の工程は光露光でパターン形成を行うことが一般的である。

MESFETの特性はゲート電極の寸法とオーミック電極であるソース電極及びドレイン電極との距離によつて大きな影響を受ける。したがつて、MESFETのゲート電極はオーミック電極に対して精度よく位置合せを行わなければならない。このためMESFETに用いられる電子ビーム露光用位置合せマークはオーミック電極の形成と同時に形成されるのが望ましい。

しかしながら、MESFETのオーミック電極は一般にNiとAuGeからなる合金が用いられ半導体基板とのオーミック接触を得るために450℃以上の高温で合金化処理が行なわれる。このため電子ビーム露光用位置合せマークをNiとAuGeにより形成した場合には、オーミック電極の合金化処理のために位置合せマークのエッジ部の劣化

位置合せマークの形成方法では、オーミック電極の形成の際の熱処理工程により位置合せマークが変形してゲート電極の位置合せを正確にすることができなかつた。そこで本発明ではこのような欠点を排除し、ゲート電極の正確な位置合せを行なうことのできる位置合せマークを形成することを目的とする。

#### (発明の構成)

##### (問題点を解決するための手段)

上記目的を達成するために本発明の電子ビーム露光用位置合せマークの形成方法では、半導体基板上にオーミック電極用の第1の開口と位置合せマーク形成用の第2の開口を有した薄膜を形成し、この薄膜を露光用位置合せマーク形成用の電子ビームで露光し、露光した部分をエッチングして位置合せマークを形成するものである。

##### (作用)

本発明の電子ビーム露光用位置合せマークの形成方法は、半導体基板に第1の開口と第2の開口を有した薄膜を形成し、この薄膜を露光用位置合せマーク形成用の電子ビームで露光し、露光した部分をエッチングして位置合せマークを形成するものである。

去することにより半導体基板に段差を形成し、この段差を位置合せマークとするために、オーミック電極形成時の合金化処理に伴う熱処理に対して、半導体基板の熱膨張が起こりにくいので、位置合せマークが変形しない。又、位置合せマークの形成位置をオーミック電極の形成位置の決定と同時にを行うために位置合せマークをターゲットとしてゲート電極を形成する場合、オーミック電極とゲート電極の位置ずれが無くなる。

#### (実施例)

以下本発明の一つの実施例について図面を参照して説明する。第1図(a)~(e)は本発明の電子ビーム露光用位置合せマークの形成方法の実施例についてMOSFETの製造方法を例に示した図である。第1図(a)に示すように半導体基板1、例えば半導体性GaAs基板上に粘性層2を形成した後、この半導体基板1上に薄膜、例えば $\text{SiO}_2$ 膜3を3000Å、レジスト膜4を順次積層する。

次に第1図(b)に示すように、 $\text{SiO}_2$ 膜3をエッチング除去するためにレジスト膜4に第1の開

口5及び第2の開口6を形成する。ここで第1の開口5はオーミック電極であるソース電極及びドレイン電極を形成するために、レジスト膜4の粘性層2が形成された部分に対比する位置に2ヶ所を形成する。又、第2の開口6は位置合せマークを形成するためにレジスト膜4の粘性層が形成されない部分に対比する位置に1ヶ所を形成する。その後、レジスト膜4をマスクにして露出した $\text{SiO}_2$ 膜3を同時にエッチング除去する。

次に第1図(c)に示すように、 $\text{SiO}_2$ 膜3をエッチング除去してオーミック電極11を形成し、最後に電子ビーム露光によって位置合せマーク10をターゲットにゲート電極の位置合せを行ってゲート電極12を形成することによりMOSFETが完成する。

このようにして得られた電子ビーム露光用位置合せマーク10は、図2(a)に示すように、ゲート電極12の両側に形成される。

#### (位置合せマークの形成方法)

位置合せマークの形成方法は、図2(a)に示すように、ゲート電極12の両側に形成される。また、オーミック電極を形成する過程においてオーミック電極11の位置合せマーク10を形成する。位置合せマーク10は、ゲート電極12の両側に形成される。

口5及び第2の開口6を形成する。ここで第1の開口5はオーミック電極であるソース電極及びドレイン電極を形成するために、レジスト膜4の粘性層2が形成された部分に対比する位置に2ヶ所を形成する。又、第2の開口6は位置合せマークを形成するためにレジスト膜4の粘性層が形成されない部分に対比する位置に1ヶ所を形成する。その後、レジスト膜4をマスクにして露出した $\text{SiO}_2$ 膜3を同時にエッチング除去する。

次に第1図(d)に示すように、 $\text{SiO}_2$ 膜3をエッチング除去してオーミック電極11を形成し、最後に電子ビーム露光によって位置合せマーク10をターゲットにゲート電極の位置合せを行ってゲート電極12を形成することによりMOSFETが完成する。

次に第1図(e)に示すように、 $\text{SiO}_2$ 膜3をエッチング除去してオーミック電極11を形成し、最後に電子ビーム露光によって位置合せマーク10をターゲットにゲート電極の位置合せを行ってゲート電極12を形成することによりMOSFETが完成する。

位置合せマーク10は、ゲート電極12の両側に形成される。位置合せマーク10は、ゲート電極12の両側に形成される。

なお第1図の説明では、電子ビーム露光用位置合せマークの断面形状として凹状の例を説明したが、凸状の位置合せマークを形成することも可能である。すなわち第1の実施例の第1図(a)の下段において、第1の開口5を設けるのと同時にレジスト膜4の半導体基板1上の粘性層2が形成されない部分に第2の開口6を2ヶ所設ける。次にこのレジスト膜4をマスクとして $\text{SiO}_2$ 膜3をエッチング除去する。さらに金属膜を半導体基板1の全面に被覆した後、リフトオフ法を用いてレジスト膜4が不要な金属膜を除去すると、第2図(a)に示すように、位置合せマーク10が形成される。

位置合せマーク10は、ゲート電極12の両側に形成される。

次に第2図(b)に示すように、新たにレジスト膜8を半導体基板1に塗布し、位置合せマーク用開口9を形成する。位置合せマーク10は、ゲート電極12の両側に形成される。

る。さらに第3の開口9'内の位置合せ用金属膜7-2'をエッチング除去して半導体基板1を露出した後、 $\text{SiO}_2$ 膜3をマスクとして半導体基板1の露出面をエッチングすることにより2ヶ所の凹部を形成する。ここでこの2ヶ所の凹部は、凹部に挟まれたエッチングされない半導体基板1とにより類似的に凸状の位置合せマーク10'を形成する。最後に第2図(c)に示すように凸状の位置合せマーク10'をターゲットにゲート電極の位置合せを行つてゲート電極12を形成する。

このようにして得られた凸状の位置合せマーク10'は、上記第1の実施例と同様にオーミック電極形成時の合金化処理に対して影響されることがないとともに、位置合せ精度が高くなる。

なお、上記第1の実施例及び第2の実施例において半導体基板1のエッチングの深さについては位置合せマーク露出のための電子ビーム照射の条件によつて決める必要があるが、0.3mm程度の比較的浅い場合でも十分な信号強度が得られる。また、 $\text{SiO}_2$ 膜3の膜厚としてはオーミック電極

用金属膜7をリフトオフする際のスペーサ膜としても使えるようにオーミック電極用金属膜と同じか、あるいはそれ以上の厚さが望ましい。

また、 $\text{SiO}_2$ 膜は他の絶縁膜例えば $\text{SiO}$ や $\text{Si}_3\text{N}_4$ や $\text{Al}$ 、 $\text{Au}$ などの金属膜及びこれらの組み合わせであつてもよく、半導体基板も半絶縁性GaAs基板に限定されるものではない。また、オーミック電極用金属膜として $\text{Ni-AuGe}$ を例にとつたが、 $\text{Au-AuGe}$ 、 $\text{Pt-AuGe}$ でもよく、オーミック電極用金属膜の上部に $\text{Au-Pt-Ti}$ からなるボンディングパッド用金属膜が覆つていてもかまはない。さらに、電子ビーム露光に限定されず他の荷電ビーム露光、例えばイオンビーム露光においても適用できることは勿論である。

#### (発明の効果)

以上述べたように本発明によれば、位置合せマークを直接半導体基板に形成するので、オーミック電極形成時の合金化処理に伴う熱処理工程による位置合せマークの変形が行こらない。したがつて、位置検出精度が高く、雑音成分が少ない検

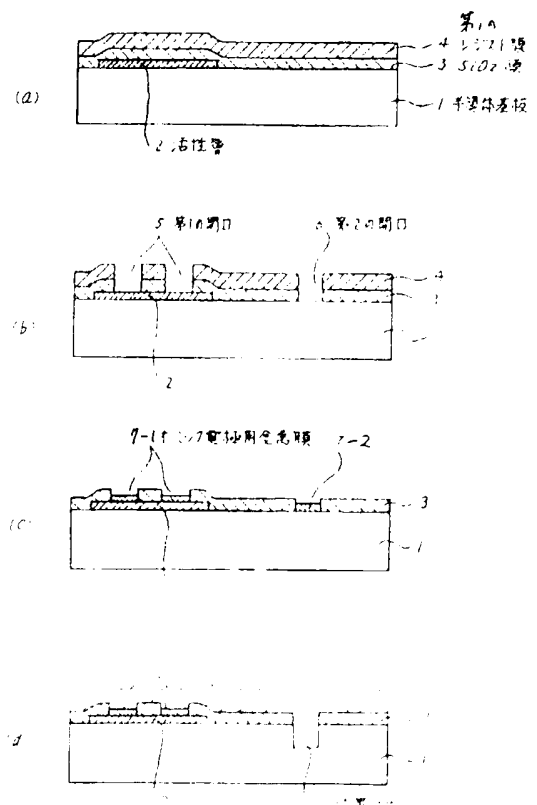
出信号が得られ良好な電子ビーム露光用位置合せマークを形成することができる。

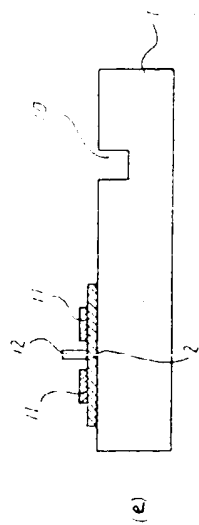
#### 4. 図面の簡単な説明

第1図(a)乃至第1図(c)は本発明の一実施例を示す工程断面図、第2図(a)乃至第2図(c)は本発明の他の実施例を示す工程断面図である。

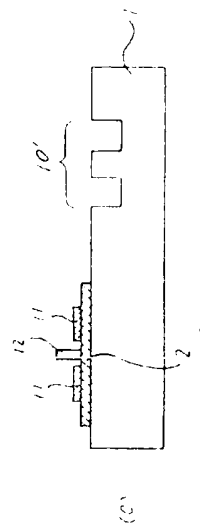
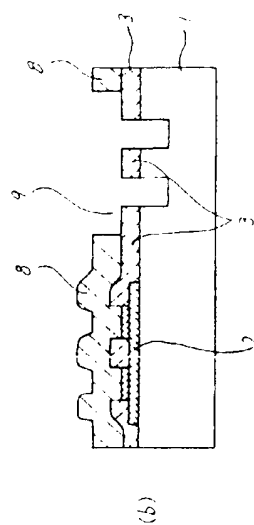
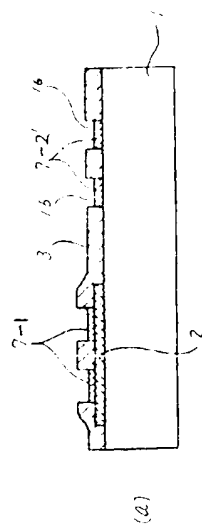
1…半導体基板、2…活性層、3… $\text{SiO}_2$ 膜、4…第1のレジスト膜、5…第1の開口、6…第2の開口、7-1…オーミック電極用金属膜、7-2、7-2'…位置合せマーク用金属膜、8…第2のレジスト膜、9、9'…第3の開口、10、10'…位置合せマーク。

代理人 井理士 則 近 意 佑





第1図



第2図